

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 58-050802

(43)Date of publication of application : 25.03.1983

(51)Int.Cl. H03B 1/00
H03B 21/01

(21)Application number : 56-147029 (71)Applicant : ANRITSU CORP
NIPPON TELEGR & TELEPH CORP <NTT>

(22)Date of filing : 19.09.1981 (72)Inventor : ONO KOHEI
AOYAMA TOMONORI

(54) MULTIFREQUENCY DIGITAL SINE WAVE GENERATOR

(57)Abstract:

PURPOSE: To obtain a multifrequency digital sine wave without scaling up circuit constitution by generating digital sine waves differing in frequency on time-division basis within a prescribed period, and adding them.

CONSTITUTION: In a digital sine wave generator 20, frequency set values F_a and f_b are added by an adder 22 and integrated in registers 23 and 24 through switches 21A and 21B within two time intervals t_1 or a period T , and the contents of the registers are sampled by a clock f_c and read in an ROM25 to generate digital sine waves S_a and S_b on time-division basis. This signal sequence (a) is delayed by t_1 at a delay circuit 29 through an attenuator 26 to obtain a signal sequence (b), which is added to the signal sequence (a) by an adder 30 to obtain a signal sequence (c). A switch 31 outputs only the

signal sequence (d) in the latter half time t_1 of the period T . Thus, the multifrequency digital sine wave consisting of sine waves S_a and S_b is obtained.

[LEGAL STATUS [Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(9) 日本国特許庁 (JP) (10) 特許出願公開
 (11) 公開特許公報 (A) 昭58—50802

(5) Int. Cl.³
 H 03 B 1/00
 21/01

識別記号 廷内整理番号
 6964—5 J
 7928—5 J

(12) 公開 昭和58年(1983)3月25日
 発明の数 1
 審査請求 有

(全4頁)

(13) 多周波デジタル正弦波発生装置

(14) 特 願 昭56—147029
 (15) 出 願 昭56(1981)9月19日
 (16) 発明者 小野浩平
 東京都港区南麻布5丁目10番27
 号安立電気株式会社内
 (17) 発明者 青山友紀

横須賀市武1丁目2356番地日本
 電信電話公社横須賀電気通信研
 究所内

(18) 出願人 安立電気株式会社
 東京都港区南麻布5丁目10番27
 号
 (19) 出願人 日本電信電話公社
 (20) 代理人 弁理士 小林将高 外1名

明細書

1. 発明の名称

多周波デジタル正弦波発生装置

2. 特許請求の範囲

周波数の異なる n 個のデジタル正弦波を所定の周期内に順次発生するとともに前記周期ごとに繰返し発生するデジタル正弦波発生器と；前記 n 個のデジタル正弦波を受領してこれら n 個の正弦波のレベルをそれぞれ前記周期ごとに繰返し調整するためのレベル調整器と；このレベル調整器でレベル調整された前記 n 個のデジタル正弦波を順次ローイン回連延してそれぞれ連延された n 個のデジタル正弦波と連延される前の n 個のデジタル正弦波とを加算し出力するための手段と；この手段によつて加算された n 個のデジタル正弦波または互いに別の周期内の n 個のデジタル正弦波のいずれかを検出して出力するための検出手段とを備えたことを特徴とする多周波デジタル正弦波発生装置。

3. 発明の詳細な説明

この発明は、周波数の異なる n 個のデジタル正弦波を複数個同時に発生する多周波デジタル正弦波発生装置に関するものである。

第 1 図は従来の多周波デジタル正弦波発生装置の一例を示す構成図である。

この図において、デジタル正弦波発生器 1 は加算器 2、レジスタ 3 および ROM (リード・オ・シリ・メモリ) 4 で構成されており、入力端子 5 に加えられた周波数設定値 F₁ を加算器 2 およびレジスタ 3 によってクロック周波数 f₁ で累積加算し、デジタル正弦波が周波数 f₁ になるよう ROM 4 のアドレスを各クロックごとに指定して周波数 f₁ のデジタル正弦波 S₁ を読み出し発生する。このデジタル正弦波 S₁ は乗算器等で構成されるデジタル減波器 6 およびマイクロプロセッサの I/O ポートで構成された減波量設定部 7 によってレベル調整された後、加算器 2 の一端に加えられる。また、デジタル正弦波発生器 1 は、加算器 1.0、レジスタ 1.1 および ROM 12

で構成されており、入力端子 1 3 に加えられた周波数設定値 F_1 を加算器 1 0 およびレジスタ 1 1 によってクロック周波数 f_1 で累積加算し、デジタル正弦波が周波数 f_1 になるように ROM 1 2 のアドレスを各クロックごとに指定して周波数 f_1 のデジタル正弦波 S_1 を読み出し発生する。このデジタル正弦波 S_1 はデジタル可変減衰器 1 4 および減衰量設定部 1 5 によってレベル調整された後、加算器 8 の他端に加えられる。

したがつて、加算器 8 からは周波数 f_1 のデジタル正弦波 S_1 と周波数 f_2 のデジタル正弦波 S_2 が同時に output され、出力端子 1 6 から周波数の異なる 2 周波のデジタル正弦波 $S_1 + S_2$ が発生される。

しかしながら、上記従来の構成によると周波数の異なるデジタル正弦波をそれぞれ同一の回路によつて発生して、それらを加算することにより多周波のデジタル正弦波を発生していたので、同一の回路、すなわち同一のデジタル正弦波発生器およびデジタル減衰器が周波数の数だけ必

要であつた。

この発明は上記の問題点にかんがみなされたもので、周波数の異なるデジタル正弦波を所定の周期内に n 回時分割で前記所定の周期ごとに繰返し発生したのち、順次 $n - 1$ 回遅延してそれぞれ遅延されたデジタル正弦波と遅延する前のデジタル正弦波とを加算し、その加算された n 回の正弦波のうち加算された同一周期内または加算された互いに別の周期内の n 回のデジタル正弦波のいずれかを同時に発生する多周波デジタル正弦波発生装置を提供するものである。以下図面についてこの発明を説明する。

第 2 図はこの発明の一実施例を示す構成図であり、第 3 図は第 2 図の実施例の動作を説明するためのタイムチャートである。

第 2 図において、2 0 はデジタル正弦波発生器で、切替器 2 1 A, 2 1 B, 加算器 2 2, レジスタ 2 3, 2 4, および ROM 2 5 で構成されており、周期 T ($t_1 + t_2$) 内にそれぞれ時間 t_1 , t_2 ($t_1 + t_2 = \frac{T}{2}$) ずつ順次異なる周波

数 $f_{1,1}, f_{1,2}$ のデジタル正弦波を 2 個発生して、これら 2 個のデジタル正弦波を前記周期 T ごとに繰返し発生する。2 6 はデジタル減衰器で、デジタル正弦波発生器 2 0 から出力される周波数 $f_{1,1}, f_{1,2}$ のデジタル正弦波 $S_{1,1}, S_{1,2}$ を受領して、それぞれのデジタル正弦波のレベルを前記時間 t_1, t_2 ずつ前記周期 T ごとに繰返し調整する。2 7 は減衰量設定部で、デジタル減衰器 2 6 が前記時間 t_1, t_2 ずつ前記周期 T ごとに繰返し発生するデジタル正弦波のレベルを調整するために、それぞれ所定の減衰量を設定するもので、この減衰量は切替器 2 8 により前記時間 t_1, t_2 ずつ前記周期 T ごとに切替えてデジタル減衰器 2 6 に加えられる。2 9 は遅延器で、デジタル減衰器 2 6 でレベル調整された周波数 $f_{1,1}, f_{1,2}$ のデジタル正弦波 $S_{1,1}, S_{1,2}$ を前記時間 t_1 だけ遅延する。3 0 は加算器で、デジタル減衰器 2 6 の出力と遅延器 2 9 の出力を前記時間 t_1, t_2 ごとに加算し出力する。3 1 は切替器で、加算器 3 0 で加算された周波数

$f_{1,1}, f_{1,2}$ のデジタル正弦波 $S_{1,1}, S_{1,2}$ のうち、前記周期 T 内の最終時間、すなわち、時間 t_2 に加算された周波数 $f_{1,1}, f_{1,2}$ のデジタル正弦波のみを切替えて検出し、加算された同一周期内の 2 個のデジタル正弦波 $S_{1,1} + S_{1,2}$ を同時に output する。3 2 は切替器駆動用信号発生器で、切替器 2 1 A, 2 1 B, 2 8 および 3 1 を駆動するためには、半値幅 50% ($t_1 - t_2$) の周期 T を有するパルス信号を繰返し発生する。3 3, 3 4 は入力端子、3 5 は出力端子である。

次に動作について第 3 図のタイムチャートを参照しながら説明する。

周期 T 内の時間 t_1 に切替器 2 1 A を入力端子 3 3 に、また、切替器 2 1 B をレジスタ 2 3 に切替えて接続して入力端子 3 3 に加えられた周波数設定値 F_1 を、加算器 2 2 およびレジスタ 2 3 によってクロック周波数 f_1 で累積加算し、デジタル正弦波が周波数 f_1 になるように ROM 2 5 のアドレスを各クロックごとに指定して周波数 f_1 のデジタル正弦波 S_1 を読み出し発生する。その

あと前記周期 T 内の時間 t_1 、切替器 21 A を入力端子 34 に切替え接続し、また、切替器 21 B をレジスタ 24 に切替え接続して、入力端子 34 に加えられた周波数設定値 F_1 を加算器 22 およびレジスタ 24 によって前記クロツク周波数 f_1 とは 180° 位相差を有する逆相のクロツク周波数 f_2 で累積加算し、デジタル正弦波が周波数 f_1 になるように ROM 25 のアドレスを各クロツクごとに指定して周波数 f_1 のデジタル正弦波 S_1 を読み出し発生する。

このようにしてデジタル正弦波 S_1, S_2 が最初の周期 T に発生した場合を S_{11}, S_{21} ; 2番目の周期 T に発生した場合を S_{12}, S_{22} ; ……； m 番目の周期に発生した場合を S_{1m}, S_{2m} とすると、第 3 図 (a) に示すように、デジタル正弦波発生器 20 からは周期 T 内に時間 t_1, t_2 ずつ順次デジタル正弦波 $S_{11}, S_{21}; S_{12}, S_{22}; \dots$ のように繰返し発生される（なお、以後特に指定する必要がないときはデジタル正弦波は S_a, S_b で表わす）。デジタル正弦波発生器 20 か

ら発生されたデジタル正弦波 S_a, S_b はデジタル減衰器 26、減衰量設定部 27、および切替器 28 によってそれぞれの正弦波レベルを時間 t_1, t_2 ずつ周期 T ごとに繰返し調整された後、遅延器 29 に加えられて第 3 図 (b) に示すように時間 t_1 だけ遅延される。この遅延されたデジタル正弦波 S_a, S_b と、遅延される前のデジタル正弦波 S_a, S_b を加算器 30 に加えて、時間 t_1, t_2 ごとに加算し、第 3 図 (c) に示すようなデジタル正弦波を出力する。

このデジタル正弦波のうち、時間 t_1 に加算されたデジタル正弦波のみを切替器 31 によつて時間 t_1 だけ周期 T ごとに繰返し選択することにより、第 3 図 (d) に示すように加算された同一周期内の 2 個のデジタル正弦波は、出力端子 35 から同時に、かつ周期 T ごとに断続的に出力され、2 周波のデジタル正弦波 $S_a + S_b$ として発生される。

なお、上記実施例では、加算された同一周期内の 2 個のデジタル正弦波を発生しているが、加

算された互いに別の周期内のデジタル正弦波を発生してもよい。また、同時に発生するデジタル正弦波は 2 周波に限定されるものではなく、遅延器および加算器を追加することにより、それ以上の複数周波のデジタル正弦波を発生することができる。さらに、各周波のデジタル正弦波の発生時間 t_1 (t_2 は 1 または 2) は同一である必要はなく、それぞれ異なつてもよい。また、遅延時間 t_1 は各周波の正弦波の発生時間 t_1 と一致させる必要はなく、発生時間 t_1 より短くてもよい。そして、上記実施例では切替器 21 A, 21 B, 28, 31 はリレーなどで機械的に行つているが、これらは論理積および論理和によるゲート回路でもよく、また、切替器 31、切替器駆動用信号発生器 32 は第 2 図のように送信側に設けずに受信側に設けることもできる。

以上詳細に説明したように、この発明によれば異なつた周波数のデジタル正弦波を所定周期内に 2 個、それぞれ所定時間ずつ時分割で発生する

とともに、前記所定周期ごとに繰返し発生した後、順次 $\times 1$ 回遅延してそれぞれ遅延されたデジタル正弦波と、遅延される前のデジタル正弦波とを加算し、その加算された 2 個のデジタル正弦波のうち、加算された同一周期内または互いに別の周期内の 2 個のデジタル正弦波のいずれかを発生するようにしたので、ROM およびデジタル減衰器をデジタル正弦波の数に關係なく、それぞれ 1 個ですませることができ、回路構成の規模を大幅に縮小することができる。

4. 図面の簡単な説明

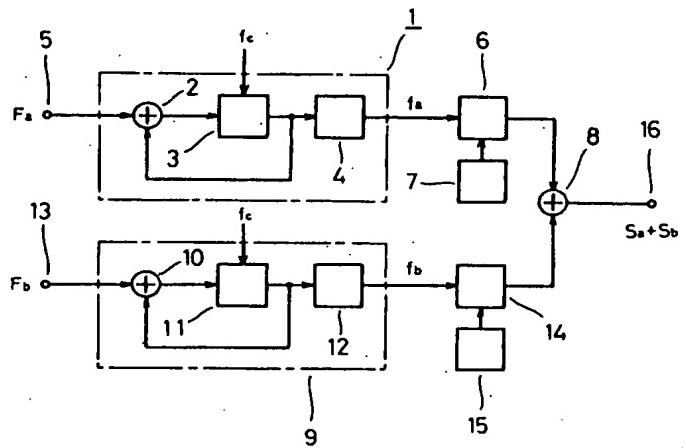
第 1 図は従来の多周波デジタル正弦波発生装置の一例を示す構成図、第 2 図はこの発明の一実施例を示す構成図、第 3 図は第 2 図の実施例の動作説明のためのタイムチャートである。

図中、20 はデジタル正弦波発生器、21 A, 21 B, 28, 31 は切替器、22, 30 は加算器、23, 24 はレジスタ、25 は ROM、26 はデジタル減衰器、27 は減衰量設定部、29 は遅延器、32 は切替器駆動用信号発生器、33,

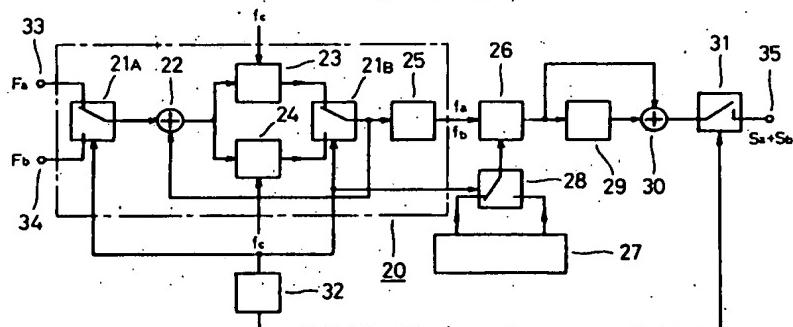
3-4は入力端子、3-5は出力端子である。

代理人 小林 将高
 小林将高 (はかたな)

第 1 図



第 2 図



第 3 図

